

10/524087
PCT/JP03/10178
10.09.03

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月20日
Date of Application:

出願番号 特願2002-274255
Application Number:
[ST. 10/C]: [JP2002-274255]

REC'D 03 OCT 2003
WIPO PCT

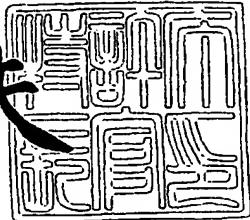
出願人 株式会社日立製作所
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 8月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 1102014031
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 16/06
【発明の名称】 半導体装置及びそれを用いたメモリカード
【請求項の数】 17
【発明者】
【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内
【氏名】 秋山 登
【発明者】
【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内
【氏名】 菊地 瞳
【発明者】
【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内
【氏名】 村林 文夫
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社 日立製作所
【代理人】
【識別番号】 100075096
【弁理士】
【氏名又は名称】 作田 康夫
【電話番号】 03-3212-1111
【手数料の表示】
【予納台帳番号】 013088
【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置及びそれを用いたメモリカード

【特許請求の範囲】

【請求項 1】

電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、
前記複数段の昇圧回路群内の最終段の昇圧回路に接続され、前記最終出力電圧
を制御する電圧制御部と、
前記複数段の昇圧回路群からの最終出力電圧が供給される内部素子とを有し、
前記複数段の昇圧回路群内の最初段の昇圧回路は、インダクタンス素子と、ス
イッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路と
を有するコンバータ回路を有し、
前記コンバータ回路の前記スイッチング素子及び前記ダイオードの一部は、前
記インダクタンス素子の下方に配置されたことを特徴とする半導体装置。

【請求項 2】

入力電圧を所定の最終出力電圧まで降圧する降圧回路と、
前記降圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと
、前記スイッチング素子を駆動する駆動回路と、出力電圧を制御する制御回路と
を有するコンバータ回路を有し、
前記コンバータ回路の前記スイッチング素子及び前記ダイオードの一部は、前
記インダクタンス素子の下方に配置されたことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、
前記インダクタンス素子を形成するスパイラル状に配線された第 1 の金属配線
と、
前記第 1 の金属配線の外周端に接続され、前記電源電圧を供給する第 2 の金属
配線と、
前記第 1 の金属配線の内周端に接続され、前記内周端から下方に形成された前
記スイッチング素子及び前記ダイオードの拡散層へ向けて配線された層間接続配
線と、

前記スイッチング素子及び前記ダイオードの拡散層間を接続する第3の金属配線と、を有することを特徴とする半導体装置。

【請求項4】

請求項2記載の半導体装置において、

前記インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、

前記第1の金属配線の内周端に接続され、前記内周端から下方に形成された前記スイッチング素子及び前記ダイオードの拡散層へ向けて配線された層間接続配線と、

前記スイッチング素子及び前記ダイオードの拡散層間を接続する第3の金属配線と、

前記第1の金属配線の外周端に接続され、降圧された前記最終出力電圧を出力する第4の金属配線と、を有することを特徴とする半導体装置。

【請求項5】

請求項3記載の半導体装置において、

前記層間接続配線は、前記第3の金属配線と接続することを特徴とする半導体装置。

【請求項6】

請求項4記載の半導体装置において、

前記層間接続配線は、前記第3の金属配線と接続することを特徴とする半導体装置。

【請求項7】

請求項5記載の半導体装置において、

前記第3の金属配線は最下層の金属配線であることを特徴とする半導体装置。

【請求項8】

請求項6記載の半導体装置において、

前記第3の金属配線は最下層の金属配線であることを特徴とする半導体装置。

【請求項9】

請求項7記載の半導体装置において、

前記第3の金属配線は、前記スイッチング素子と前記ダイオードとの境に一方に向に配線された第5の金属配線と、前記第5の金属配線と直交して配線され前記スイッチング素子及び前記ダイオードの各々の拡散層と接続をとる第6の金属配線と、を有することを特徴とする半導体装置。

【請求項10】

請求項8記載の半導体装置において、

前記第3の金属配線は、前記スイッチング素子と前記ダイオードとの境に一方に向に配線された第5の金属配線と、前記第5の金属配線と直交して配線され前記スイッチング素子及び前記ダイオードの各々の拡散層と接続をとる第6の金属配線と、を有することを特徴とする半導体装置。

【請求項11】

請求項1記載の半導体装置において、

前記インダクタンス素子は、前記第1の金属配線と配線層間絶縁膜とを有する複数層が並列に複数接続されたことを特徴とする半導体装置。

【請求項12】

請求項1記載の半導体装置において、

前記半導体装置は不揮発性メモリであることを特徴とする半導体装置。

【請求項13】

請求項12記載の半導体装置において、

前記不揮発性メモリは、フラッシュメモリであることを特徴とする半導体装置

。

【請求項14】

電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記複数段の昇圧回路群内の最終段の昇圧回路に接続され、前記最終出力電圧を制御する電圧制御部と、前記複数段の昇圧回路群からの最終出力電圧が供給される内部素子とを有し、前記複数段の昇圧回路群内の最初段の昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、前記スイッチング素子を駆動する駆動回路とを有するコンバータ回路を有し、前記コンバータ回路の前記スイッチング素子及び前記ダイオードの一部は、前記インダクタンス素子の下方に配置さ

れた半導体装置を複数有し、

複数の前記半導体装置は、各々重ね合わせて配置され、隣接する前記半導体装置内の前記インダクタンス素子は、前記インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないように配置されていることを特徴とするマルチチップ型半導体装置。

【請求項 1 5】

請求項 1 4 記載のマルチチップ型半導体装置において、

前記複数の半導体装置は半導体チップ上に形成され、

前記半導体装置の前記インダクタンス素子を半導体チップの一方半分側の一部に形成し、前記半導体装置に隣接する他の半導体装置のインダクタンス素子をチップの他方半分側の一部に形成することを特徴とするマルチチップ型半導体装置

。

【請求項 1 6】

請求項 1 4 記載のマルチチップ型半導体装置において、

前記複数の半導体装置の各々は不揮発性メモリであることを特徴とするマルチチップ型半導体装置。

【請求項 1 7】

請求項 1 4 記載のマルチチップ型半導体装置において、

前記不揮発性メモリはフラッシュメモリであることを特徴とするマルチチップ型半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電源電圧より高い電圧あるいは入力電圧よりも低い電圧を内部回路で発生して内部素子を動作させる半導体装置及びそれを用いたメモリカード等の電子機器に関する。

【0 0 0 2】

【従来の技術】

携帯情報端末の普及に伴い、差込型の半導体メディアによるデータの持ち運び

が増え、持ち運ぶデータもテキスト文書のみでなく高品質画像、音声、動画像などそのデータ量が増加している。このため、これらデータの保持に不可欠な不揮発性メモリ、特に電気的消去が可能なEEPROM (Electrically Erasable Programmable Read Only Memory) の需要が増えている。また、一括消去が可能なEEPROMをフラッシュEEPROM (以下、フラッシュメモリと記す) と言いい、消去動作を素子単位またはブロック単位で一括して行うことにより高集積化が可能なことから、大容量かつ低価格の不揮発性メモリとして広く使われている。

【0003】

フラッシュメモリでは、データの書き込みや消去時に電源電圧よりも高い電圧が必要であり、フラッシュメモリLSI内部には昇圧回路が設けられる。そして、昇圧回路にはチャージポンプ回路と呼ばれる回路方式が広く用いられている。チャージポンプ回路の一例では、図18に示すようにコンデンサ160、ダイオード170からなる基本単位回路を直列多段に並べ、そのコンデンサの片側端子にパルス状のバイアス電圧を加え、電荷を1クロック毎に次ステップへ移送して容量性負荷の電圧を上昇させている。チャージポンプ回路には、この他にも倍電圧整流方式といわれる複数のコンデンサを並列充電した後、直列接続に切り換えて高電圧を得る方式もある。

【0004】

更に別の昇圧回路の方式として、DC-DCコンバータ回路を用いる方式や、DC-DCコンバータ回路とチャージポンプ回路を併用する方式が、各々、特開平7-21791号公報、特開平8-297986号公報に開示されている。

【0005】

また、入力電圧よりも低い電圧を必要とする場合に使われる降圧回路内蔵LSIでは、ドロッパ型の回路を用いるか、チョッパ型の降圧回路を用いる際にはそれに用いるインダクタは個別部品でありLSIチップの外部に設けられている。

【0006】

【特許文献1】

特開平7-21791号公報

【特許文献2】

特開平8-297986号公報

【0007】**【発明が解決しようとする課題】**

チャージポンプ方式ではポンプ一段あたりの昇圧電圧は電源電圧からダイオード降下電圧を差し引いた電圧になるため、微細化の進展によりLSIの電源電圧が低くなると、ポンプ一段当たりの昇圧電圧は小さくなる。従って、電源電圧の低下に伴い所望の電圧まで昇圧するのに必要な段数が増え、回路のレイアウト面積が増大するという問題がある。メモリ容量が増加し512Mビット、1Gビット、2Gビットと大容量化するに従い、この問題は更に顕著になる。今後も微細化の進展によりプロセッサやメモリは低電圧化されるが、フラッシュメモリの書き込み、消去電圧はほとんど変わらないので、昇圧回路を内蔵するLSIにとって電源回路の小形化は重要な課題となっている。

【0008】

一方、これまでのDC-DCコンバータ方式、あるいはDC-DCコンバータとチャージポンプ回路の併用方式では、インダクタンス素子の形成に通常のLSIプロセスにはない磁性体コアの形成や低抵抗化を目的とした厚膜プロセスが必要である。厚膜配線ではインダクタンス素子以外の回路部分、例えばメモリのワード線などで配線アスペクトが高くなり微細加工が困難になるという問題がある。このためオンチップのインダクタンス素子の形成は困難であり、インダクタンスは別プロセスで形成し張り合わせるか、外付けというものだった。上記の理由から、これまでのDC-DCコンバータ方式は、通常のLSIプロセスに適した昇圧回路方式となっていなかった。

【0009】

また、降圧回路内蔵LSIでも、ドロッパ型回路のために消費電力が大きいとか、インダクタ外付けのチョッパ型回路のために実装面積が大きいという問題があった。

【0010】

本発明の目的は、電源の効率を下げずに小型化が図れ、スイッチング時のノイ

ズを低減できる半導体装置及びそれを用いたメモリカードを提供することである。

【0011】

【課題を解決するための手段】

本発明は、電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置とそれを用いたメモリカードにおいて、電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、最終出力電圧を制御する電圧制御部と、最終出力電圧が供給される内部素子とを備えて、最初段の1次昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、駆動回路とを備え、スイッチング素子とダイオードの一部をインダクタンス素子の下方に配置する構成とする。

【0012】

また、入力電圧を所定の最終出力電圧まで降圧する降圧回路を備え、それはインダクタンス素子と、スイッチング素子と、ダイオードと、駆動回路と、制御回路とを備え、スイッチング素子とダイオードの一部をインダクタンス素子の下方に配置する構成とする。

【0013】

また、昇圧回路は、インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、その第1の金属配線の外周端に接続され、電源電圧を供給する第2の金属配線と、第1の金属配線の内周端に接続され、内周端から下方に形成されたスイッチング素子及びダイオードの拡散層へ向けて配線された層間接続配線と、その拡散層間を接続する第3の金属配線とを備える構成とする。

【0014】

また、降圧回路は、インダクタンス素子を形成するスパイラル状に配線された第1の金属配線と、第1の金属配線の内周端に接続され、内周端から下方に形成されたスイッチング素子及びダイオードの拡散層へ向けて配線された層間接続配線と、その拡散層間を接続する第3の金属配線と、第1の金属配線の外周端に接続され、降圧された最終出力電圧を出力する第4の金属配線とを備える構成とする。

【0015】

また、層間接続配線は、最下層に形成された第3の金属配線と接続する構成とする。

【0016】

また、昇圧回路または降圧回路の第3の金属配線は、スイッチング素子とダイオードとの境に一方向に配線された第5の金属配線と、その第5の金属配線と直交して配線されスイッチング素子及びダイオードの各々の拡散層と接続をとる第6の金属配線とを備える構成とする。

【0017】

また、そのインダクタンス素子は、第1の金属配線と配線層間絶縁膜とを備える構成とする。

【0018】

また、上記した半導体装置を複数備え、それらの半導体装置を各々重ね合わせて配置し、隣接する半導体装置内のインダクタンス素子は、インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないように配置されている構成とする。

【0019】

また、複数の半導体装置は半導体チップ上に形成され、半導体装置のインダクタンス素子を半導体チップ一方半分側の一部に形成し、半導体装置に隣接する他の半導体装置のインダクタンス素子をチップ他方半分側の一部に形成するマルチチップ型半導体装置の構成とする。

【0020】

また、上記した半導体装置は、不揮発性メモリであって、フラッシュメモリである構成とする。

【0021】

また、上記した半導体装置とCPUを備えるメモリカードの構成とする。

【0022】**【発明の実施の形態】**

図1は、本発明のオンチップ型コンバータを用いたフラッシュメモリの昇圧回

路の構成を示す図である。

【0023】

フラッシュメモリ内部の昇圧電源回路は複数の電圧を出力しメモリセルに供給するが、本実施例ではその一部を抜き出して説明する。1次昇圧回路100にはフラッシュメモリへの入力電源電圧101が入力されている。そして、1次昇圧回路100の出力には2次昇圧回路200が接続され、以下順にN次昇圧回路まで直列に接続される。つまり複数段の昇圧回路を直列に接続して、複数段の昇圧回路群を構成している。最終段のN次昇圧回路900はその最終段から出力する出力電圧902を制御する電圧制御部910を有し、その先に内部素子のメモリセル1000が接続される。最初段の1次昇圧回路100は昇圧型のDC-DCコンバータ回路であり、インダクタンス素子110、スイッチング素子120、ダイオード130及びスイッチング素子のゲート駆動回路140、出力平滑コンデンサ150で構成される。2次昇圧回路200からN次昇圧回路900は昇圧型のDC-DCコンバータ回路か、チャージポンプ回路で構成している。

【0024】

メモリへ書き込み、消去、読出しなどの要求があった場合、フラッシュメモリ内部の昇圧電源回路は所定の電圧をメモリセルへ供給するため、昇圧動作を開始する。

【0025】

図2に昇圧型のDC-DCコンバータ回路の基本回路図と図3にその昇圧動作波形を示す。

【0026】

まず、駆動回路140の出力信号CLKの立上り（ロウ電圧→ハイ電圧）により、1次昇圧回路のスイッチング素子120がオンとなり、インダクタンス素子110に電流（IL）を流し、磁界のエネルギーを蓄える。次にCLKの立下り（ハイ電圧→ロウ電圧）によりスイッチング素子120がオフすると、インダクタンス素子の電流が連続して流れるように、磁界に蓄えられたエネルギーによりダイオード電流（ID）が流れ出力平滑コンデンサ150を充電する。このスイッチングを繰り返すことで、入力電源電圧が昇圧される。その様子をインダクタン

スイッチング素子 110 の出力電圧 V_x と 1 次昇圧回路 100 の出力電圧 V_{out} について、図 3 に示した。昇圧された出力電圧 V_{out} は 2 次昇圧回路の入力となる。このときスイッチング素子のオン時間を T_{on} 、オフ時間を T_{off} とし、 T_{on} の期間に蓄えられた磁束が T_{off} の期間に放出するとすれば、出力電圧 V_{out} は入力電圧 V_{in} の $(T_{on}+T_{off}) / T_{off}$ 倍となる。つまり、スイッチングデューティ比により昇圧比が決定している。

【0027】

本実施例においては、スイッチングデューティ比を一定として固定の昇圧比とすることにより、駆動回路 140 の回路規模の低減が可能となる。

【0028】

本実施例では、2 次昇圧回路以降も DC-DC コンバータ回路を用いる場合には、必要に応じ各昇圧回路について、それぞれ固定の昇圧比で電圧を昇圧する。そして、最終段の N 次昇圧回路に至ってから、所定の電圧に制御し、メモリセルに供給する。また、2 次昇圧回路以降にチャージポンプ回路を用いる場合にも、同様に必要に応じ各昇圧回路について、それぞれ固定の昇圧比で電圧を昇圧する。そして、最終段の N 次昇圧回路に至ってから、所定の電圧に制御し、メモリセルに供給する。

【0029】

本発明によれば、1 次昇圧回路を DC-DC コンバータ回路として、入力電源電圧が 1 V 以下程度まで低下しても、インダクタンス電流を確保できるようスイッチング素子の駆動能力を決めることで昇圧が可能となる。つまり、インダクタンス素子に後段の負荷に必要なエネルギーを上回る磁界のエネルギーを蓄えることができれば昇圧が可能となる。また、駆動回路や電圧制御手段も簡単になり、昇圧電源回路のレイアウト面積を低減できる。

【0030】

一方、従来のチャージポンプ回路では電荷をコンデンサに蓄え、そのコンデンサの片側端子にパルス状のバイアス電圧を加えて電荷を次ステップへ移送する。そして電荷の逆流を防ぐためのダイオードが各ステップにある。1 ステップ分の昇圧電圧は電源電圧からダイオード順方向降下電圧を差し引いた電圧となるため

、電源電圧が1V程度まで低下するとダイオードの電圧が支配的になり、ほとんど昇圧が不可能になる。

【0031】

図8に本発明のオンチップDC-DCコンバータを構成するインダクタンス素子110とその周辺素子であるスイッチング素子120、ダイオード130の配置、配線を示す。図8においてスイッチング素子120の形成領域をM、ダイオード130の形成領域をDで示した。また、図9に本発明のオンチップDC-DCコンバータの平面構成を示す。図9に示すようにDC-DCコンバータは半導体チップの一部領域に形成され、入力電源電圧101を図1に示した回路（図9ではDC-DCコンバータ部のみ示す）で昇圧した後にチップ内部の素子（例えば不揮発性メモリ素子；図示せず）を駆動する。

【0032】

インダクタンス素子110の第1の金属配線である金属配線部111は2層目の金属配線をスパイラル状にしたものであり、インダクタンス素子110のコア部分は金属配線の配線層間絶縁膜および保護絶縁膜で形成される。なお、構造の詳細は、後ほど並列接続型インダクタンスの説明で略断面図；図5（a）～図5（c）を用いて述べる。

【0033】

入力電源電圧101を供給する第2の金属配線がインダクタンス素子110の金属配線部111の外周端につながり、金属配線部111の内周端から基板側に下された層間接続配線181が、スイッチング素子120とダイオード130の拡散層（図示せず）をつなぐ第3の金属配線である1層目の金属配線m1と接続する。金属配線m1は第5、第6の金属配線m1aとm1bからなり、m1aはインダクタンス素子のほぼ一辺と同じ程度に一方向に延び、それを境にしてスイッチング素子120の形成領域Mとダイオード130の形成領域Dが分割され、m1bはm1aの複数ヶ所からm1aとは直交方向に延び、スイッチング素子120とダイオード130の拡散層（図示せず）と接続される。なお、簡単のために図8、図9では、スイッチング素子120およびダイオード130とインダクタンス素子110間の金属配線についてのみ示し、他の配線は省略した

(以下の図においても同様)。

【0034】

本実施例のように、インダクタンス素子110の真下にスイッチング素子120とダイオード130を設け、金属配線部111の内周端から基板側（半導体基板上にスイッチング素子、ダイオードが形成された最終層側）に向かって下した層間接続配線181を、スイッチング素子120とダイオード130の拡散層をつなぐ1層目の金属配線m1とを接続させることにより、素子間の配線抵抗および寄生インダクタンスを小さくできるので、電源の効率を下げずにオンチップコンバータの小形化が図れ、スイッチング時のノイズも減らすことができる。

【0035】

図10および図11に、本発明オンチップDC-DCコンバータを形成するインダクタンス素子110とその周辺素子であるスイッチング素子120、ダイオード130の別の配置、配線、およびオンチップDC-DCコンバータの平面構成の他の実施例を示す。

【0036】

インダクタンス素子110の金属配線部111やコア部分の構成は図8の場合と同じであるが、入力電源電圧101を供給する第2の金属配線や1層目の金属配線m1の金属配線部111との接続のされ方が異なる。即ち、インダクタンス素子110の金属配線部111の内周端には入力電源電圧101を供給する金属配線が接続され、外周端からは基板側に下された層間接続配線181が、スイッチング素子120とダイオード130の拡散層（図示せず）をつなぐ1層目の金属配線m1と接続される。入力電源電圧101を供給する金属配線は2層目の金属配線から層間接続配線を介して1層目の金属配線に亘り、そして更に層間接続配線を介して金属配線部111の内周端に接続される。入力電源電圧101を供給する金属配線が1層目の配線を使うので、1層目の金属配線m1は図11に示すようにスイッチング素子側のm1a配線とダイオード側のm1a配線に分れるが、これらは外周端側でつながっている。

【0037】

本実施例のように、スイッチング素子120の真下にスイッチング素子120

とダイオード 130 を設け、金属配線部 111 の外周端から基板側に下した層間接続配線 181 を、スイッチング素子 120 とダイオード 130 の拡散層をつなぐ 1 層目の金属配線 m1 と接続されることにより、素子間の配線抵抗および寄生インダクタンスを小さくできるので、電源の効率を下げずにオンチップコンバータの小形化が図れ、スイッチング時のノイズも減らすことができる。

【0038】

図 4 は、図 8 においてインダクタンス素子 110 の金属配線部を複数個並列にした時の実施例である。金属配線部 111 および 112 は同一の形状で各々 2 層目配線、3 層目配線で形成され、その外周端および内周端は互いに層間接続配線でつながっている。このため、電流が流れた際にできる磁束の向きは同じで、かつ互いに磁束が貫くのでインダクタンス値は並列接続する前とほぼ同じになる。

【0039】

図 12 は、図 4 において金属配線部 111 および 112 を各々 3 層目配線、4 層目配線で形成し、1 層目配線と 2 層目配線でスイッチング素子 120 とダイオード 130 の拡散層（図示せず）をつなぐ金属配線 m1 を形成した時の実施例である。1 層目の金属配線のシート抵抗が大きい時に金属配線部とスイッチング素子やダイオード間の配線抵抗を下げるのに有効である。

【0040】

図 4、図 12 に示す実施例では、複数の異なる配線層で平面形状を同一にしたスパイラル状インダクタンス素子の金属配線部 111、112 を、それらに電流を流した場合にできる磁束の向きが同じでかつ互いに磁束が貫くように重ね合わせて形成しこれらを並列に接続することが重要である。磁束が互いに干渉しないような配置で単一配線層のインダクタンス素子を並列接続した場合には、抵抗は k 分の 1 (k は並列に接続したインダクタンス素子の数) になるが、インダクタンス値も k 分の 1 に減少する。磁束が同じ方向に互いに貫くように重ねることで、抵抗を k 分の 1 としながらインダクタンス値をもとの 1 層分のインダクタンス素子とほぼ同じにできる。これにより、フラッシュメモリ等の通常の LSI 配線プロセスに手を加えることなく、低抵抗なインダクタンス素子をオンチップで作り込むことができる（図示はしていないが、各層間をスルーホール等で同電位の

部分を接続してもよい)。

【0041】

また、多層の配線で並列接続したインダクタンス素子とすることにより、スイッチング素子120の動作を高周波化した際の表皮効果による抵抗上昇も抑えることもできる。インダクタンス素子をより小さくするためには高周波スイッチングが必要となるが、周波数が20MHzを超えると表皮効果が現れ、導体の表面のみに電流が集中する。この場合、厚さ数 μm の配線で低抵抗なインダクタンス素子を構成したつもりでも、導体断面の全体に電流が流れることができないので抵抗値が上昇する。ところが、複数配線層を並列に接続して構成したインダクタンス素子では、合計の断面積が同じ場合でもその導体表面積が厚膜配線よりも大きいので、表皮効果による抵抗の上昇が少なく抑えられるという利点がある。

【0042】

図4に示したインダクタンス素子の金属配線部111の平面図を図13に、そのA-A'、B-B'、C-C'断面図を各々図5(a)～図5(c)に示す。図13において、180a～189aは各々層間接続配線180～189と金属配線部111の接続点を示したものである。

【0043】

図5(a)～図5(c)において、インダクタンス素子110は、2層目および3層目の金属配線とその層間に設けられた配線層間絶縁膜および保護絶縁膜からなる並列接続型のインダクタンス素子である。つまり金属配線と配線層間絶縁膜からなる複数層が並列に複数接続されたインダクタンス素子である。そして、インダクタンス素子を形成する金属配線は、図4および図13に示されるような複数層の金属配線からなるスパイラル状の配線であり、スパイラル状配線の外周端には入力電源電圧101が供給される。各スパイラル状配線において、外周端は層間接続配線180で互いに接続され、内周端から基板側に下した層間接続配線181が1層目の金属配線m1aと交わる；図5(a)。そして、金属配線m1aはインダクタンス素子のほぼ一辺と同じ位にB-B'方向に延びる；図5(b)。金属配線m1aを境にしてスイッチング素子120の形成領域M(図5の120a)とダイオード130の形成領域D(図5の130a)が分割され、

m1aの複数ヶ所からC-C'方向に金属配線m1bが伸び；図4、スイッチング素子120とダイオード130の拡散層（図示せず）と接続される；図5(c)

【0044】

図6は本発明の昇圧回路と従来昇圧回路について、7Vまで1次昇圧電圧した時の面積比と電源電圧の関係を示した説明図である。チャージポンプ回路を用いた従来昇圧回路では電源電圧の低下と共に回路面積が増加し、電源電圧が2V以下で面積が急激に大きくなるのに対して、本発明の昇圧回路を用いれば回路面積の増加はほとんど無く、約2.5Vで従来回路方式より面積が小さくなる。従来昇圧回路の面積が電源電圧2V以下で急激に大きくなる理由は、チャージポンプ回路ではポンプ一段あたりの昇圧電圧が、電源電圧からMOS型ダイオード降下電圧（基板バイアスの影響を受け、およそ1V以上）を差し引いた電圧になるため、昇圧に必要なチャージポンプ回路の段数が増大するためである。これに対して本発明では、第1次昇圧回路出力電圧102が7V程度の場合、1段で昇圧することが可能なため、MOS型ダイオード降下電圧の影響はあまり受けない。

【0045】

図7は本発明の昇圧回路と従来昇圧回路について、7Vまで1次昇圧電圧した時の面積比と動作周波数の関係を示した説明図である。昇圧回路の動作周波数がおよそ10MHz以上になると、本発明の昇圧回路の方が従来の昇圧回路よりもサイズが小さい。これは、チャージポンプ回路のサイズをほぼ決めているコンデンサのサイズが、ポンプの切り換え動作周波数に反比例するのに対して、DC-DCコンバータ回路のサイズをほぼ決めているインダクタンス素子のサイズは、スイッチング周波数の2乗に反比例するためである。

【0046】

図14に本発明のオンチップコンバータを用いた降圧回路の実施例を示す。コンバータ回路は、インダクタンス素子110、スイッチング素子121、ダイオード131、スイッチング素子のゲート駆動回路141、出力電圧を制御する制御回路142、および出力平滑コンデンサ151で構成される。本コンバータ回路に入力された高電圧1010は所定の低電圧1020となって出力される。

【0047】

オンチップコンバータを形成するインダクタンス素子110とその周辺素子であるスイッチング素子121, ダイオード131の配置, 配線と平面構成および断面構成は、素子の極性を除けば各々図8, 図10, 図4, 図12と図9, 図11および図5(a)～図5(c)とほぼ同じであるが、図15に示すようにインダクタンス素子110の金属配線部111には、入力電源電圧101を供給する配線ではなくて、降圧された電圧を出力する第4の金属配線がつながる。

【0048】

尚、本実施例の降圧回路は、図1に記載の昇圧回路100, 200, 900と同様に複数段備えても良い。

【0049】

つまり、入力電圧に対して1次の降圧回路又は、それらを複数用いた複数段の降圧回路群により降圧され、最終段の降圧回路から出力される降圧された最終出力電圧を制御する電圧制御部を備えた半導体装置の構成とすることができる。

【0050】

図16に本発明の半導体装置を複数個重ねて実装する際に用いる2種類の半導体装置10および20の内部ブロック構成図を、図17に半導体装置10および20を重ねてカードに実装したマルチチップ型半導体装置の略断面構成図を示す。図16において、10は第1の半導体装置、20は第2の半導体装置、11, 21はメモリセル領域、12, 22は周辺回路領域、1110, 1120は本発明で述べた1次昇圧回路100を含む昇圧回路領域である。ここで半導体装置20は、半導体装置10の素子レイアウトを鏡反転した構成をもつ。このため、半導体装置10の昇圧回路領域1110内部にあるインダクタンス素子110はチップの左半分の領域に、半導体装置20の昇圧回路領域1120内部にあるインダクタンス素子110はチップの右半分の領域に設けられている。図17において、40はメモリカード、30はCPU、31はCPUと第1の半導体素子10および第2の半導体素子20の電極パッド間を結ぶボンディングワイヤである。そして、半導体装置10, 20のa-a'断面、b-b'断面が各々図17の断面となるように重ねられている。例えば図17において、半導体装置10の

昇圧回路領域 1110 の図面奥側は周辺回路領域 12 となる。

【0051】

本発明の昇圧回路を適用した半導体装置を適用したメモリカードの構成を以下に記します。

【0052】

本発明は、電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、その最終段の昇圧回路に接続され、且つ最終出力電圧を制御する電圧制御部と、その最終出力電圧が供給される内部素子とを備え、最初段の昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、そのスイッチング素子を駆動する駆動回路とを有するコンバータ回路を備え、スイッチング素子とダイオードの一部は、インダクタンス素子の下方に配置された半導体装置と、制御する C P U を備え、その半導体装置は複数有し、各々の半導体装置はボンディングワイヤで C P U と接続され、各々の半導体装置は重ね合わせて配置され、隣接する半導体装置内のインダクタンス素子は、インダクタンス素子の真上方向及び真下方向には他の半導体装置内のインダクタンス素子が互いに重なり合わないよう配置された構成である。

【0053】

このように半導体装置を複数個重ねて実装する場合、隣接する半導体装置間でインダクタから発生する磁束同士が干渉して、動作が不安定になることも起こり得る。そこで、その様な場合には図 16 に示すような第 1 , 第 2 の半導体装置を図 17 に示すように互いに重ね合わせることにより、インダクタンス素子は互いに上下で重なり合わないので、磁束同士の干渉は生じない。

【0054】

なお、以上で述べた実施例では本発明を適用した半導体装置としてフラッシュメモリを例にとり説明したが、電源電圧よりも高い電圧を内部回路で発生し、内部の素子を駆動するもの全てに対して本発明は適用できる。不揮発性メモリやその他メモリ以外の半導体装置、例えばマイクロプロセッサ／コントローラなどの半導体装置に適用可能であり、乾電池 1 本の電圧で駆動できるようになるなどの効果がある。

【0055】

また図17において、フラッシュメモリと共にS R A MやD R A M等のメモリを重ね合わせてもよい。

【0056】

更に本発明によれば、電源電圧を1V程度まで下げることが可能で実装面積も小さくなるので、本発明の半導体装置またはマルチチップ型半導体装置を携帯電話やP D A等の携帯電子機器に適用すれば、機器の低消費電力化、小型化、かつ実装コストの低減が可能となる。

【0057】**【発明の効果】**

本発明では、電源の効率を下げずに小型化が図れ、スイッチング時のノイズを低減できる半導体装置及びそれを用いたメモリカードを提供することができる。

【図面の簡単な説明】**【図1】**

本発明に係る半導体装置の昇圧回路の一実施例を示す図である。

【図2】

本発明に係る半導体装置の1次昇圧回路の一回路構成を示す図である。

【図3】

本発明に係る半導体装置の1次昇圧回路の一動作例を説明する図である。

【図4】

本発明に係る半導体装置のオンチップコンバータの第3の実施例を示す図である。

【図5】

本発明に係る半導体装置のオンチップコンバータの第3の実施例の断面を示す図である。

【図6】

本発明に係る半導体装置の昇圧回路と従来昇圧回路の面積比と電源電圧の関係を示した図である。

【図7】

本発明に係る半導体装置の昇圧回路と従来昇圧回路の面積比と動作周波数の関係を示した図である。

【図 8】

本発明に係る半導体装置のオンチップコンバータの第 1 の実施例を示す図である。

【図 9】

本発明に係る半導体装置のオンチップコンバータの第 1 の実施例の平面を示す図である。

【図 10】

本発明に係る半導体装置のオンチップコンバータの第 2 の実施例を示す図である。

【図 11】

本発明に係る半導体装置のオンチップコンバータの第 2 の実施例の平面を示す図である。

【図 12】

本発明に係る半導体装置のオンチップコンバータの第 4 の実施例を示す図である。

【図 13】

本発明に係る半導体装置のオンチップインダクタンス素子の一平面を示す図である。

【図 14】

本発明に係る半導体装置の降圧回路の一実施例を示す図である。

【図 15】

本発明に係る半導体装置のオンチップコンバータの第 5 の実施例を示す図である。

【図 16】

本発明に係る半導体装置を用いたマルチチップ型半導体装置の一実施例を示す図である。

【図 17】

本発明に係る半導体装置を用いたメモリカードの一実施例を示す図である。

【図18】

チャージポンプ方式の従来昇圧回路の一実施例を示す図である。

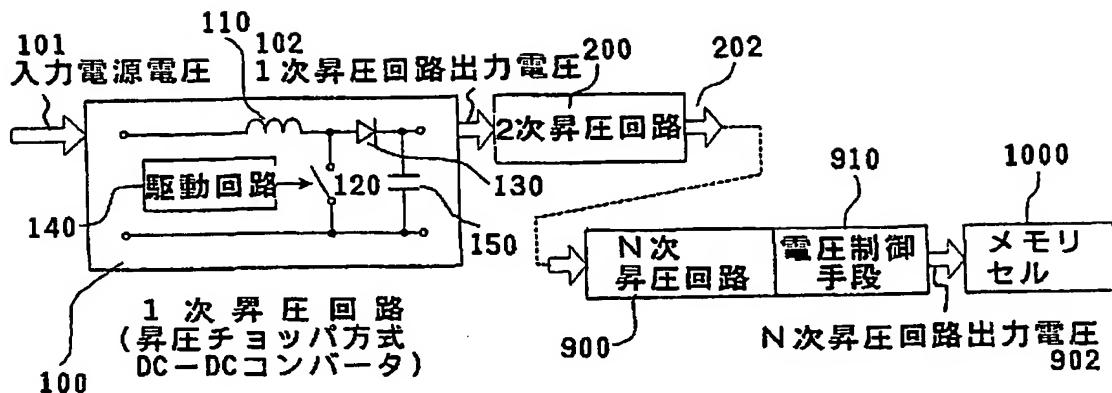
【符号の説明】

10…第1の半導体装置、11, 21…メモリセル領域、12, 22…周辺回路領域、20…第2の半導体装置、30…CPU、40…メモリカード、100…1次昇圧回路、101…入力電源電圧、102…1次昇圧回路の出力電圧、103, 203…リミッタ、104, 204…発信器、110…インダクタンス素子、120, 121…スイッチング素子、130, 131, 170…ダイオード、140, 141…スイッチング素子のゲート駆動回路、142…制御回路、150, 151…出力平滑コンデンサ、160…コンデンサ、200…2次昇圧回路、900…N次昇圧回路、902…出力電圧、910…電圧制御部、1000…メモリセル、1110, 1120…昇圧回路領域。

【書類名】 図面

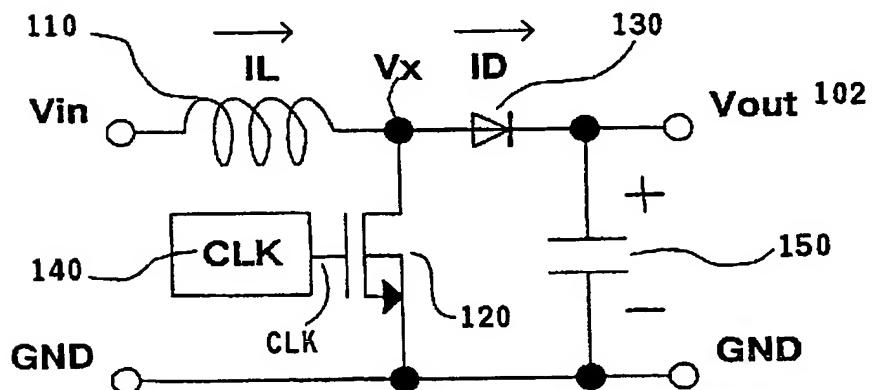
【図1】

図 1



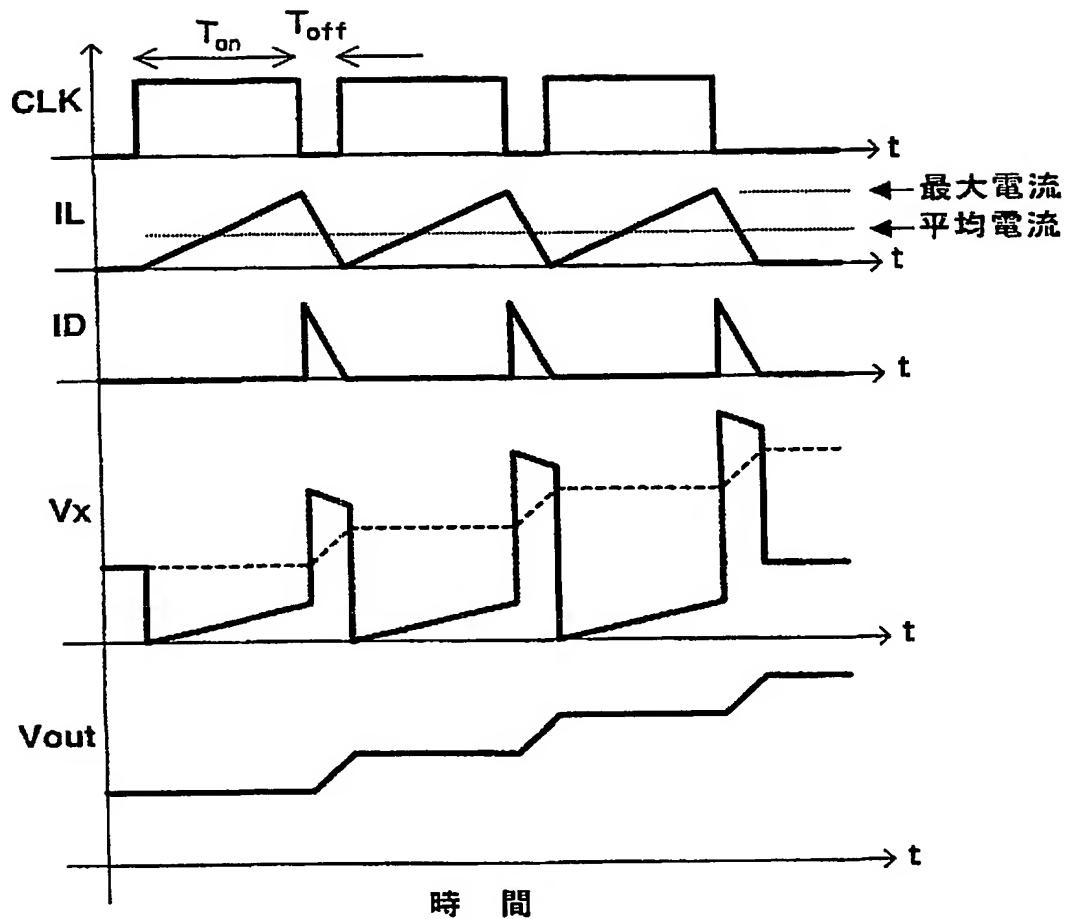
【図2】

図 2



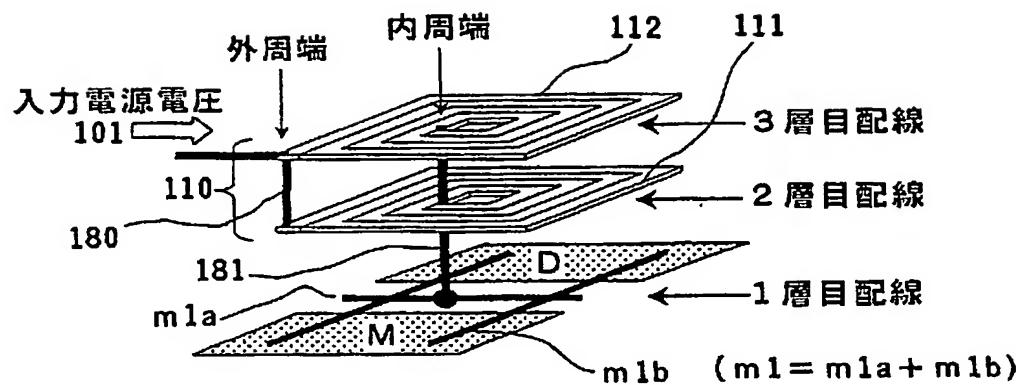
【図3】

図 3



【図4】

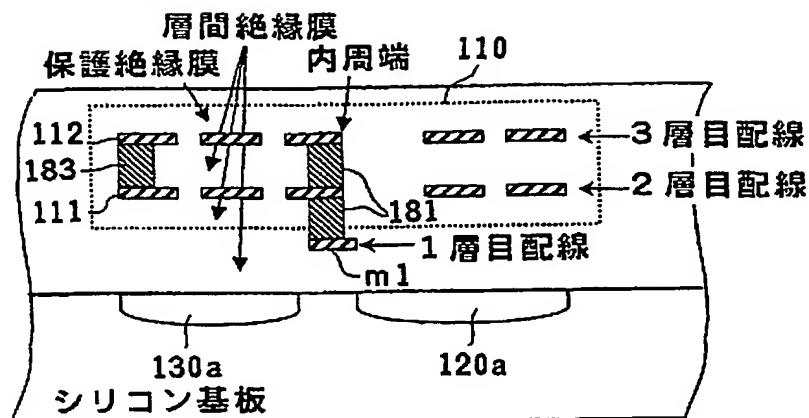
図 4



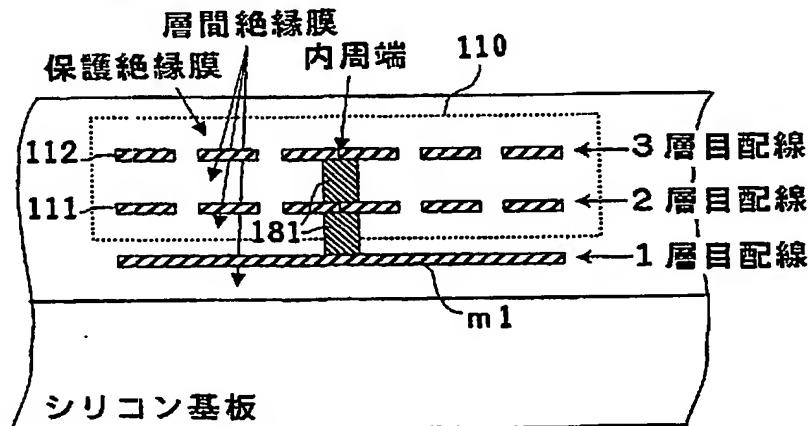
【図5】

図 5

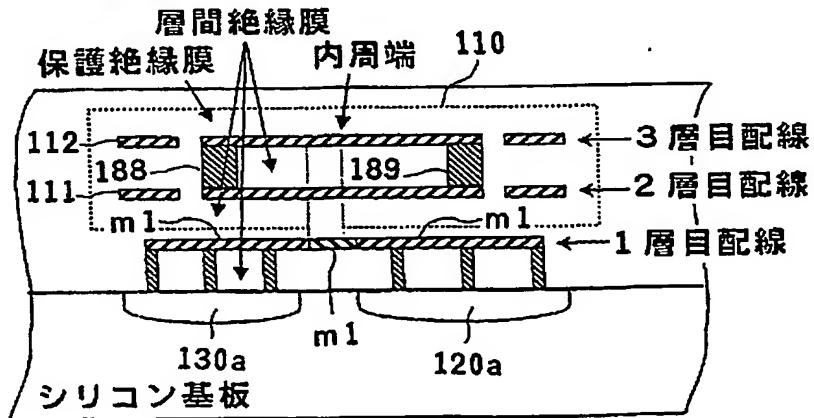
(a) A-A' 断面



(b) B-B' 断面

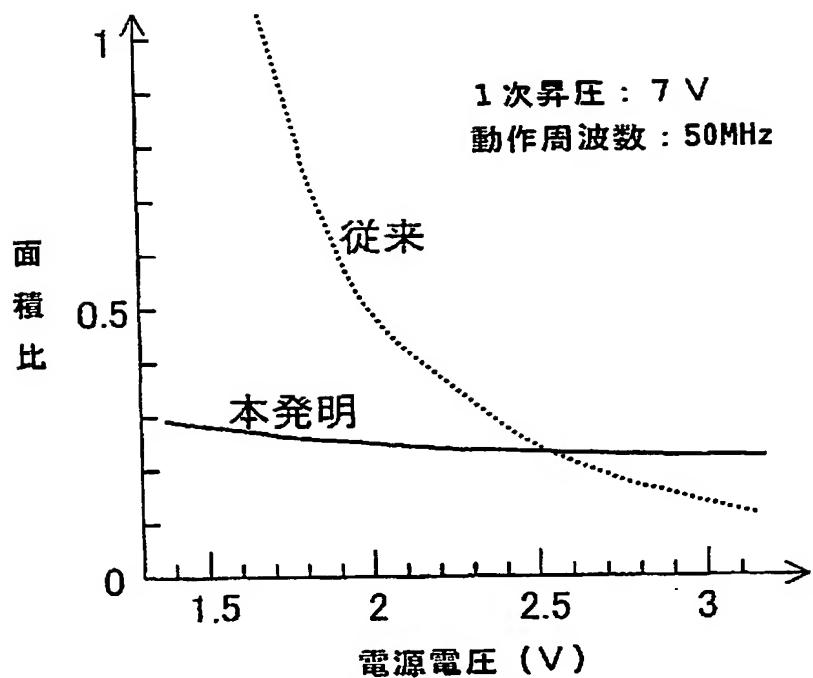


(c) C-C' 断面



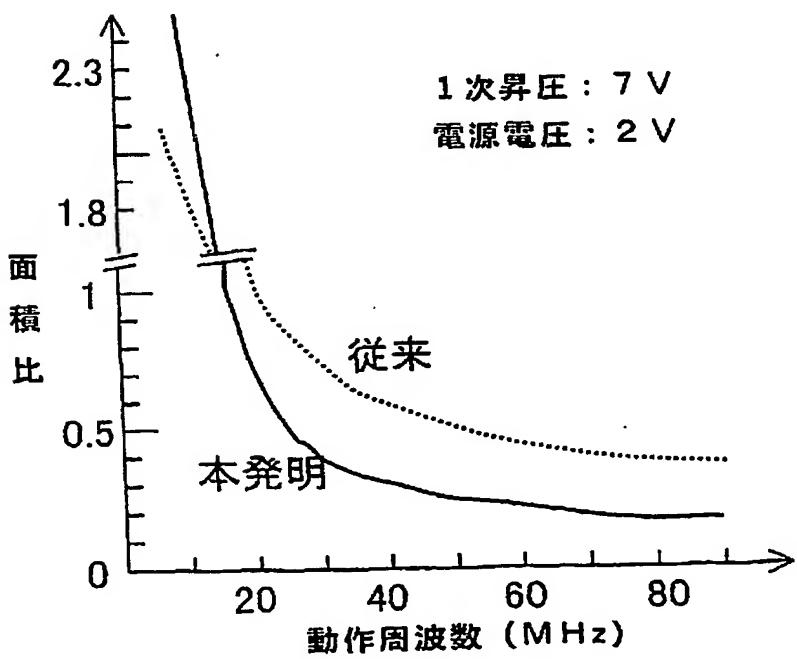
【図6】

図 6

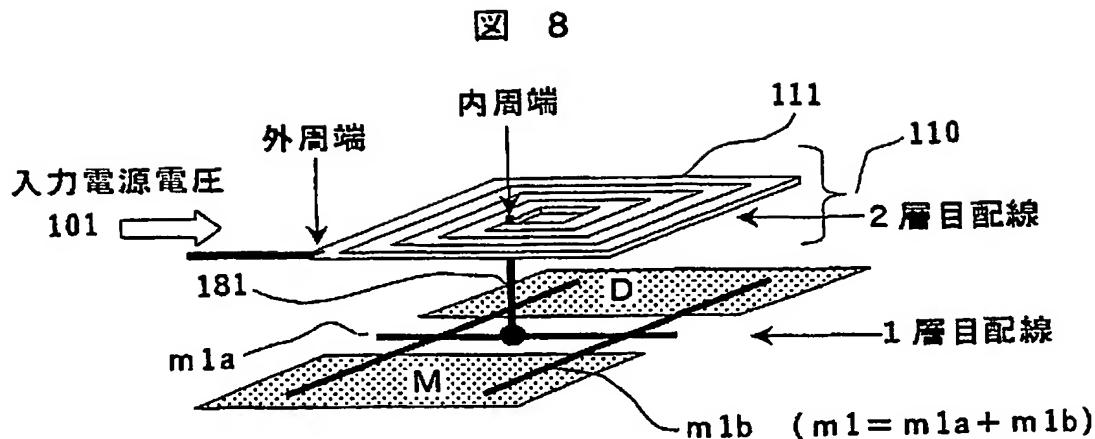


【図7】

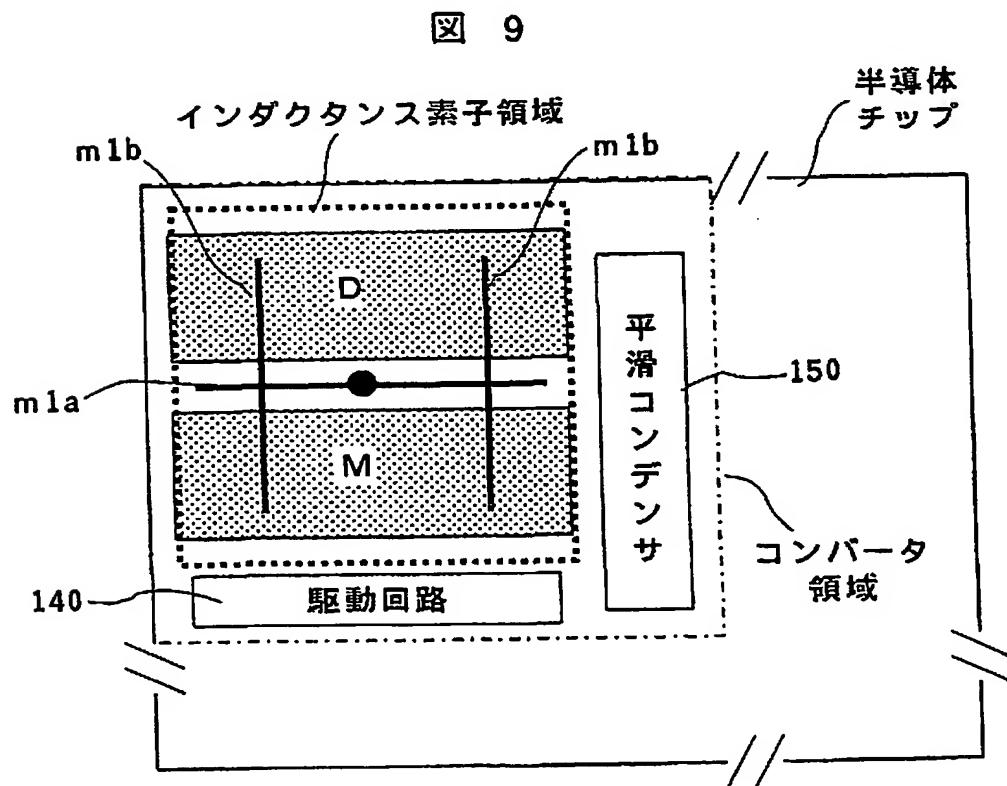
図 7



【図8】

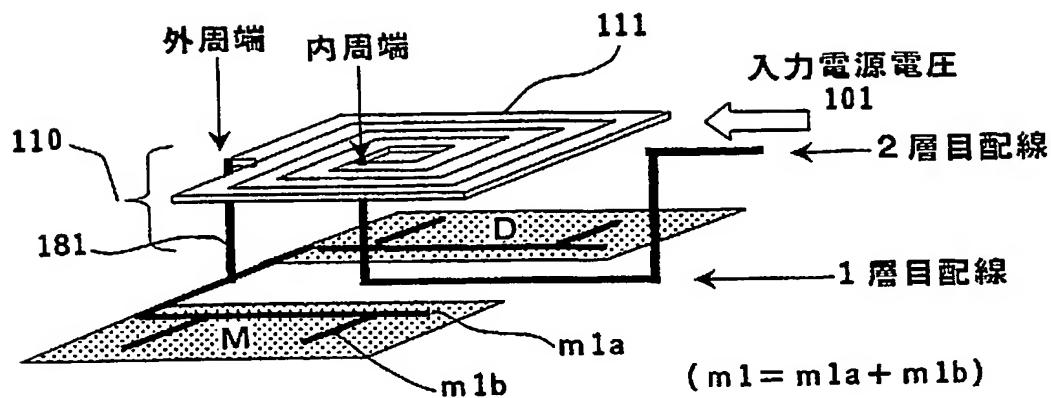


【図9】



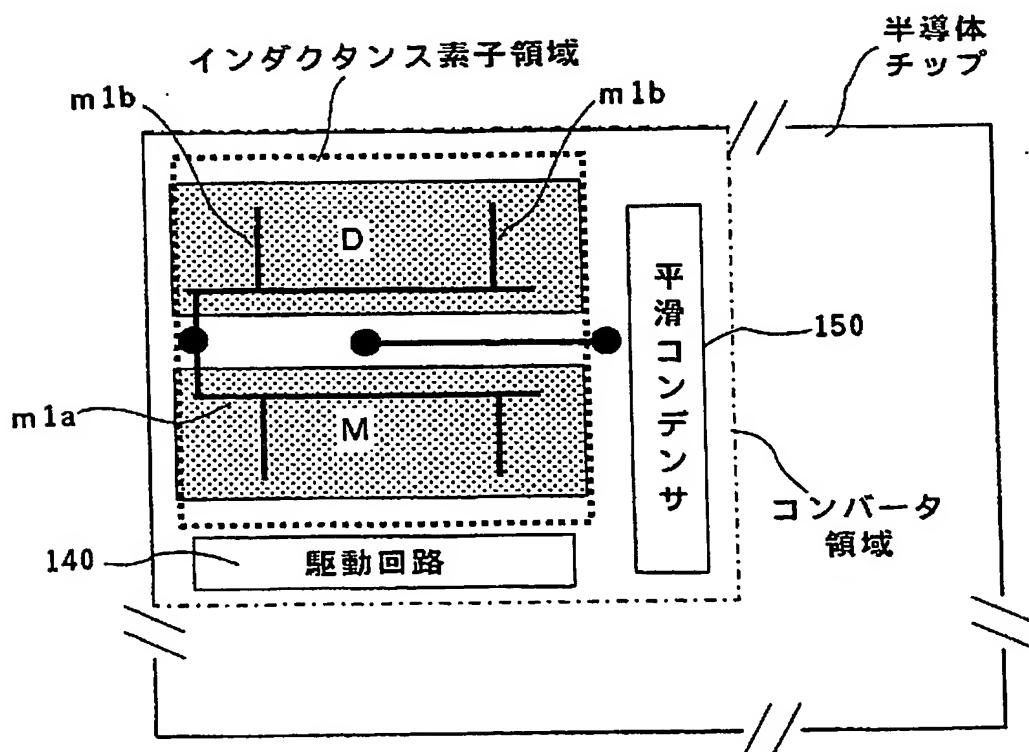
【図10】

図 10



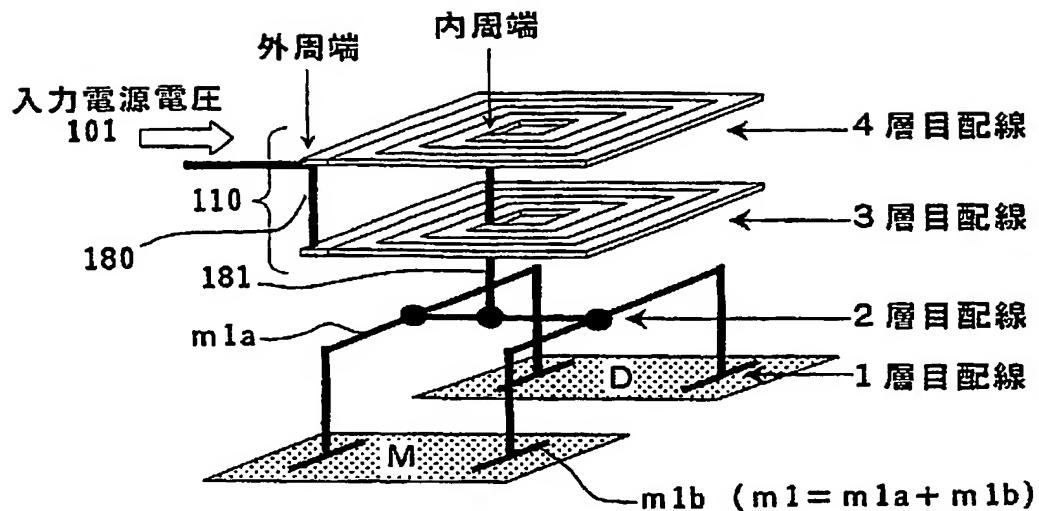
【図11】

図 11



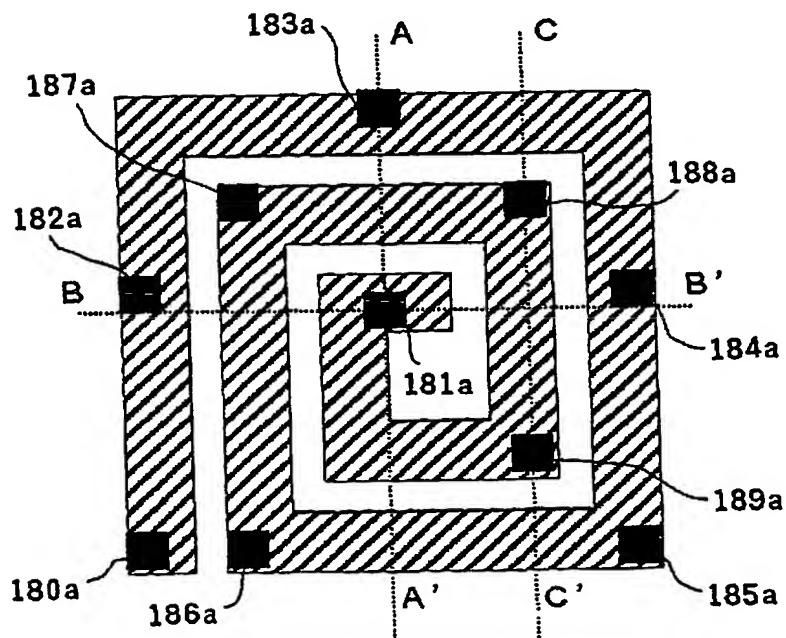
【図12】

図 12



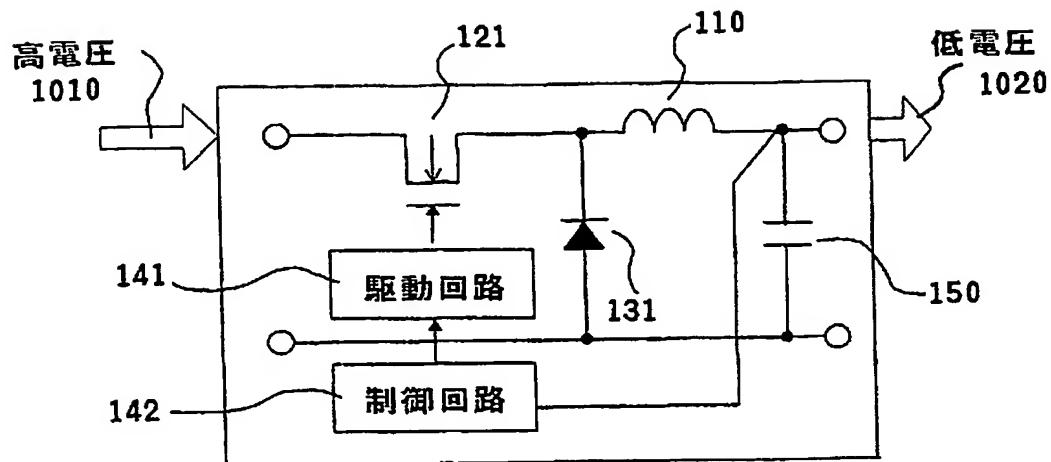
【図13】

図 13



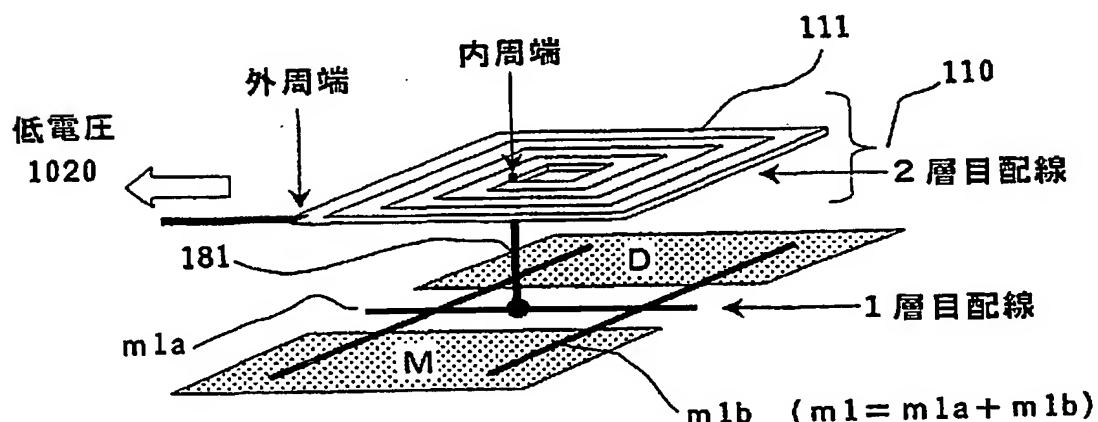
【図14】

図 14



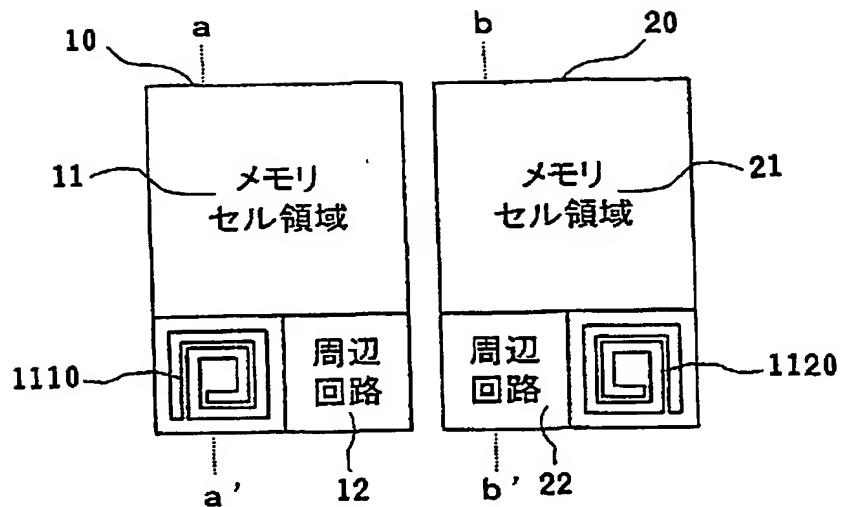
【図15】

図 15



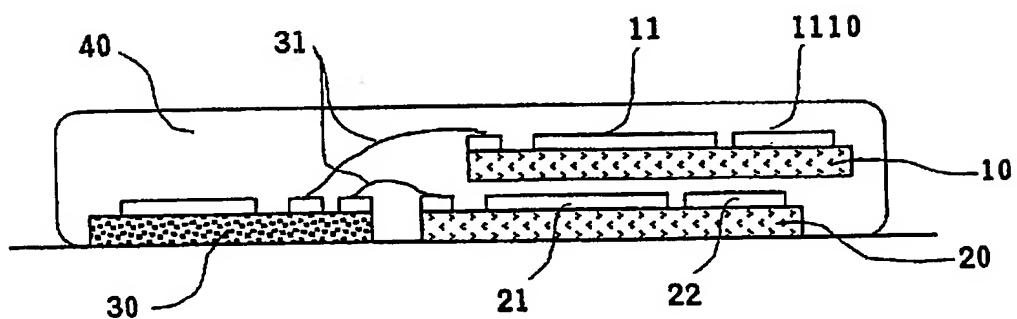
【図16】

図 16



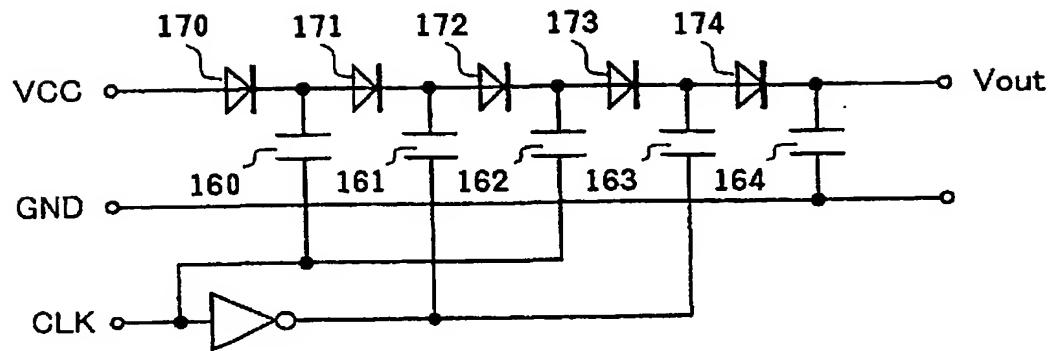
【図17】

図 17



【図18】

図 18



【書類名】 要約書

【要約】

【課題】

電源の効率を下げずに小型化が図れ、スイッチング時のノイズを低減できる半導体装置及びそれを用いたメモリカードを提供する。

【解決手段】

電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、最終出力電圧を制御する電圧制御部と、最終出力電圧が供給される内部素子とを備えて、最初段の1次昇圧回路は、インダクタンス素子と、スイッチング素子と、ダイオードと、駆動回路とを備え、スイッチング素子とダイオードの一部をインダクタンス素子の下方に配置する構成とする。

【選択図】 図8

認定・付加情報

特許出願の番号

特願2002-274255

受付番号

50201407544

書類名

特許願

担当官

第七担当上席 0096

作成日

平成14年 9月24日

<認定情報・付加情報>

【提出日】 平成14年 9月20日

次頁無

出証特2003-3068473

特願 2002-274255

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地
氏名 株式会社日立製作所